

Semiconductor device and a method of manufacturing the same

Patent Number: ☐ [US2001010397](#)
Publication date: 2001-08-02
Inventor(s): USAMI TOSHIHIKO (JP); MASUDA MASACHIKA (JP)
Applicant(s):
Requested Patent: ☐ [JP2001217383](#)
Application Number: US20010769359 20010126
Priority Number(s): JP20000022802 20000131
IPC Classification: H01L23/34
EC Classification: [H01L23/31H2](#), [H01L25/065M](#)
Equivalents: TW495953, ☐ [US6538331](#)

Abstract

Two memory chips mounted over a base substrate have the same external size and have a flush memory of the same memory capacity formed thereon. These memory chips are mounted over the base substrate with one of them being overlapped with the upper portion of the other one and at the same time, they are stacked with their faces being turned in the same direction. The bonding pads BP of one of the memory chips are disposed in the vicinity of the bonding pads BP of the other memory chip. In addition, the upper memory chip is stacked over the lower memory chip in such a way that the upper memory chip is slid in a direction (X direction) parallel to the one side of the lower memory chip and in a direction (Y direction) perpendicular thereto in order to prevent partial overlapping of it with the bonding pads BP of the lower memory chip

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号
特開2001-217383
(P 2001-217383A)
(43)公開日 平成13年 8月10日(2001.8.10)

(51)Int.Cl.⁷ 識別記号 F I テーマコード (参考)
H01L 25/065 H01L 25/08 B
25/07
25/18

審査請求 未請求 請求項の数15 O L (全20頁)

(21)出願番号 特願2000-22802(P 2000-22802)
(22)出願日 平成12年 1月31日(2000.1.31)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目 6 番地
(71)出願人 000100997
アキタ電子株式会社
秋田県南秋田郡天王町天王字長沼64
(72)発明者 増田 正親
東京都小平市上水本町五丁目20番 1 号 株
式会社日立製作所半導体グループ内
(72)発明者 宇佐見 俊彦
秋田県南秋田郡天王町天王字長沼64 アキ
タ電子株式会社内
(74)代理人 100080001
弁理士 筒井 大和

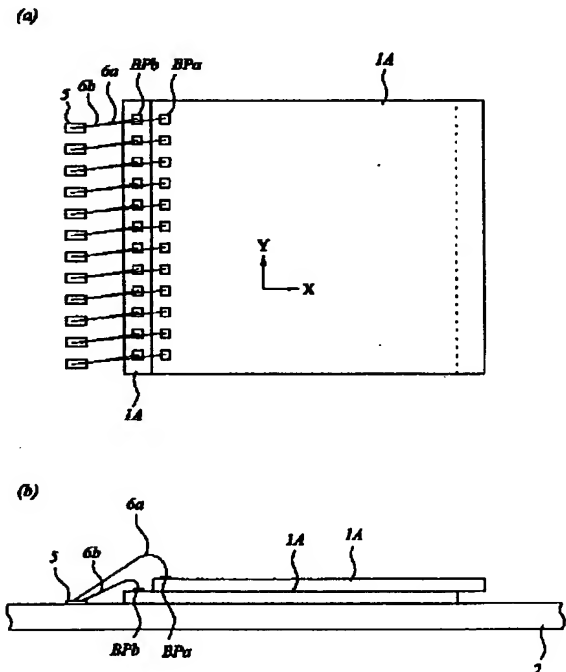
(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】

【課題】 複数枚の半導体チップを積層して樹脂封止した半導体装置の小型化、薄型化を推進する。

【解決手段】 ベース基板 2 上に実装された 2 枚のメモリチップ 1 A、1 A は、同一の外形寸法を有し、同一記憶容量のフラッシュメモリが形成されている。これらのメモリチップ 1 A、1 A は、一方の上部に他方を重ね合わせた状態でベース基板 2 上に実装され、かつ互いに同一方向を向いた状態で重ね合わされており、一方のメモリチップ 1 A のボンディングパッド B P と他方のメモリチップ 1 A のボンディングパッド B P とが近接して配置されている。また、上層のメモリチップ 1 A は、その一部が下層のメモリチップ 1 A のボンディングパッド B P と重なることがないよう、下層のメモリチップ 1 A の一辺に平行な方向 (X 方向) およびこれと直交する方向 (Y 方向) にずれた状態で積層されている。

図 5



【特許請求の範囲】

【請求項 1】 主面の一边に沿って複数のボンディングパッドが形成された第 1 の半導体チップが基板上に実装され、主面の一边に沿って複数のボンディングパッドが形成された第 2 の半導体チップが前記第 1 の半導体チップの主面上に積層され、前記第 1 および第 2 の半導体チップの前記ボンディングパッドと前記基板上の電極とがワイヤを介して電氣的に接続され、前記第 1 および第 2 の半導体チップと前記ワイヤとが樹脂により封止された半導体装置であって、前記第 2 の半導体チップは、前記第 1 の半導体チップの一边に平行な方向およびこれと直交する方向にずれた状態で前記第 1 の半導体チップの主面上に積層されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記第 1 および第 2 の半導体チップは、互いに同一機能の回路が形成された同一寸法の半導体チップであることを特徴とする半導体装置。

【請求項 3】 請求項 2 記載の半導体装置において、前記第 1 および第 2 の半導体チップの主面には、フラッシュメモリが形成されていることを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、前記第 1 および第 2 の半導体チップは、互いに同一方向を向いた状態で重ね合わされ、一方の半導体チップの主面に形成された前記複数のボンディングパッドと、もう一方の半導体チップの主面に形成された前記複数のボンディングパッドとが互いに近接して配置されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 記載の半導体装置において、前記第 2 の半導体チップの主面上に、前記第 2 の半導体チップよりも外形寸法が小さい第 3 の半導体チップが積層されていることを特徴とする半導体装置。

【請求項 6】 請求項 1 記載の半導体装置において、前記第 3 の半導体チップは、前記第 1 の半導体チップの前記ボンディングパッドが形成された一边に対向する他辺と、前記第 2 の半導体チップの前記ボンディングパッドが形成された一边とに囲まれた領域に配置されていることを特徴とする半導体装置。

【請求項 7】 請求項 1 記載の半導体装置において、前記基板上に第 3 の半導体チップが実装されていることを特徴とする半導体装置。

【請求項 8】 請求項 1 記載の半導体装置において、主面の一边に沿って複数のボンディングパッドが形成された前記第 1 の半導体チップが基板上に実装され、主面の一边に沿って複数のボンディングパッドが形成された第 2 の半導体チップは、前記第 1 の半導体チップの主面上であって、前記第 2 の半導体チップの一边が前記第 1 の半導体チップの一边に対向し、かつ前記第 1 の半導体チップの前記ボンディングパッドが露出するように、前記第 1 の半導体チップの一边に平行な方向および

これと直交する方向にずれた状態で積層され、主面の一边に沿って複数のボンディングパッドが形成された第 3 の半導体チップは、前記第 2 の半導体チップの主面上であって、前記第 3 の半導体チップの一边が前記第 1 の半導体チップの一边と同一方向に沿い、かつ前記第 1 の半導体チップと互いに同一方向を向いた状態で重ね合わされるように積層され、前記第 1、第 2 および第 3 の半導体チップの前記ボンディングパッドと前記基板上の電極とはそれぞれ、ワイヤを介して電氣的に接続され、前記第 1、第 2 および第 3 の半導体チップと前記ワイヤとが樹脂により封止されていることを特徴とする半導体装置。

【請求項 9】 請求項 8 記載の半導体装置において、主面の一边に沿って複数のボンディングパッドが形成された第 4 の半導体チップは、前記第 2 の半導体チップの一边と同一方向に沿い、かつ前記第 2 の半導体チップと同一方向を向いた状態で重ね合わされるように前記第 3 の半導体チップの主面上に積層されていることを特徴とする半導体装置。

【請求項 10】 請求項 9 記載の半導体装置において、前記第 4 の半導体チップの主面上に、前記第 4 の半導体チップよりも外形寸法が小さい第 5 の半導体チップが積層されていることを特徴とする半導体装置。

【請求項 11】 請求項 10 記載の半導体装置において、前記第 5 の半導体チップは、前記第 1 および第 3 の半導体チップのボンディングパッドが形成された一边に対向する他辺と、前記第 2 および第 4 の半導体チップのボンディングパッドが形成された一边に対向する他辺とに囲まれた領域に配置されていることを特徴とする半導体装置。

【請求項 12】 請求項 9 記載の半導体装置において、前記第 2 および第 4 の半導体チップは、前記第 1 および第 3 の半導体チップの一边に平行な方向にずれた状態で積層されていることを特徴とする半導体装置。

【請求項 13】 以下の工程を有する半導体装置の製造方法；

(a) 主面の一边に沿って複数のボンディングパッドが形成された第 1 の半導体チップを基板上に実装する工程、(b) 主面の一边に沿って複数のボンディングパッドが形成された第 2 の半導体チップを、前記第 1 の半導体チップの一边に平行な方向およびこれと直交する方向にずらした状態でその主面上に積層する工程、(c) 前記第 1 および第 2 の半導体チップに形成された前記複数のボンディングパッドと、前記基板上に形成された電極とをワイヤを介して電氣的に接続する工程、(d) 前記第 1 および第 2 の半導体チップと前記ワイヤとを樹脂により封止する工程。

【請求項 14】 請求項 13 記載の半導体装置の製造方法において、前記第 2 の半導体チップに形成された前記

複数のボンディングパッドと電極とを前記ワイヤを介して電氣的に接続する際には、まず前記電極の表面に前記ワイヤの一端を接続し、次に前記ボンディングパッドの表面に前記ワイヤの他端を接続することを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 13 記載の半導体装置の製造方法において、前記基板の他面にバンプ電極を接続する工程をさらに含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造技術に関し、特に、複数枚の半導体チップを積層して単一のパッケージに樹脂封止した半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 フラッシュメモリや DRAM (Dynamic Random Access Memory) などのメモリ LSI を大容量化する対策の一つとして、これらのメモリ LSI が形成された半導体チップを積層して単一のパッケージに封止したメモリ・モジュール構造が種々提案されている。

【0003】 例えば特開平 4-302164 号公報は、一つのパッケージ内に同一機能、同一サイズの複数の半導体チップを絶縁層を介して階段状に積層し、それぞれの半導体チップの階段状部分に露出したボンディングパッドとパッケージのインナーリードとをワイヤを介して電氣的に接続したパッケージ構造を開示している。

【0004】 また、特開平 11-204720 号公報は、絶縁性基板上に熱圧着シートを介して第 1 の半導体チップを搭載し、この第 1 の半導体チップ上に熱圧着シートを介して、外形寸法が第 1 の半導体チップよりも小さい第 2 の半導体チップを搭載し、第 1 および第 2 の半導体チップのボンディングパッドと絶縁性基板上の配線層とをワイヤを介して電氣的に接続し、第 1 および第 2 の半導体チップとワイヤとを樹脂により封止したパッケージ構造を開示している。

【0005】

【発明が解決しようとする課題】 サイズおよびボンディングパッド配置が同一の半導体チップを 2 枚以上積層して基板上に実装し、それぞれの半導体チップのボンディングパッドと基板の電極とをワイヤで接続した場合、これらの半導体チップの電氣的に共通なボンディングパッドと電極とを接続する複数本のワイヤ同士が上方から見たときにほとんど重なり合っ見えるため、ワイヤボンディング工程完了後に行われる外観検査工程において、上下のワイヤ同士のショートの有無などを判定することが困難になる。

【0006】 また、電氣的に共通なボンディングパッドと電極とを接続する上記複数本のワイヤのうち、下層の半導体チップのボンディングパッドに接続されるワイヤ

は、上層の半導体チップのボンディングパッドに接続されるワイヤのほぼ真下に位置するようになるため、上層の半導体チップのボンディングパッドに接続されるワイヤのループ高さを低くすると、その真下のワイヤとの距離が接近し、両者がショートし易くなる。これを防止するために、上層の半導体チップのボンディングパッドに接続されるワイヤのループ高さを高くすると、半導体チップとワイヤとを封止する樹脂が厚くなるために、パッケージを薄型化することが困難となる。

10 【0007】 本発明の目的は、複数枚の半導体チップを積層して樹脂封止した半導体装置において、ワイヤボンディング工程の後に行う外観検査の信頼性を向上させる技術を提供することにある。

【0008】 本発明の他の目的は、複数枚の半導体チップを積層して樹脂封止した半導体装置の小型化、薄型化を推進する技術を提供することにある。

【0009】 本発明の他の目的は、複数枚の半導体チップを積層して樹脂封止した半導体装置の製造コストを低減する技術を提供することにある。

20 【0010】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】 本発明の半導体装置は、主面の一辺に沿って複数のボンディングパッドが形成された第 1 の半導体チップが基板上に実装され、主面の一辺に沿って複数のボンディングパッドが形成された第 2 の半導体チップが前記第 1 の半導体チップの主面上に積層され、前記第 1 および第 2 の半導体チップの前記ボンディングパッドと前記基板上の電極とがワイヤを介して電氣的に接続され、前記第 1 および第 2 の半導体チップと前記ワイヤとが樹脂により封止され、前記第 2 の半導体チップは、前記第 1 の半導体チップの一辺に平行な方向およびこれと直交する方向にずれた状態で前記第 1 の半導体チップの主面上に積層されている。

【0013】 本発明の半導体装置は、主面の一辺に沿って複数のボンディングパッドが形成された前記第 1 の半導体チップが基板上に実装され、主面の一辺に沿って複数のボンディングパッドが形成された第 2 の半導体チップは、前記第 1 の半導体チップの主面上であって、前記第 2 の半導体チップの一辺が前記第 1 の半導体チップの一辺に対向し、かつ前記第 1 の半導体チップの前記ボンディングパッドが露出するように、前記第 1 の半導体チップの一辺に平行な方向およびこれと直交する方向にずれた状態で積層され、主面の一辺に沿って複数のボンディングパッドが形成された第 3 の半導体チップは、前記第 2 の半導体チップの主面上であって、前記第 3 の半導

体チップの一边が前記第1の半導体チップの一边と同一方向に沿い、かつ前記第1の半導体チップと互いに同一方向を向いた状態で重ね合わされるように積層され、前記第1、第2および第3の半導体チップの前記ボンディングパッドと前記基板上の電極とはそれぞれ、ワイヤを介して電氣的に接続され、前記第1、第2および第3の半導体チップと前記ワイヤとが樹脂により封止されている。

【0014】本発明の半導体装置の製造方法は、以下の工程を有している。

(a) 主面の一边に沿って複数のボンディングパッドが形成された第1の半導体チップを基板上に実装する工程、(b) 主面の一边に沿って複数のボンディングパッドが形成された第2の半導体チップを、前記第1の半導体チップの一边に平行な方向およびこれと直交する方向にずらした状態でその主面上に積層する工程、(c) 前記第1および第2の半導体チップに形成された前記複数のボンディングパッドと、前記基板上に形成された電極とをワイヤを介して電氣的に接続する工程、(d) 前記第1および第2の半導体チップと前記ワイヤとを樹脂により封止する工程。

【0015】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、実施形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0016】(実施の形態1) 図1は、本実施形態の半導体装置の外観を示す平面図、図2は、この半導体装置の長手方向(A-A線)に沿った断面図、図3は、この半導体装置のベース基板を示す平面図である。

【0017】本実施形態の半導体装置は、主面に半導体素子として例えばフラッシュメモリが形成された2枚の半導体チップ(以下、チップまたはメモリチップという)1A、1Aと、このフラッシュメモリを制御する回路が形成された1枚の半導体チップ(以下、チップまたはコントロールチップという)1Bとをベース基板2上に実装し、これら3枚のチップ1A、1A、1Bを樹脂3で封止すると共に、ベース基板2の上面を樹脂製のキャップ4で被覆したメモリカードMCである。このメモリカードMCは、例えばデジタル・カメラなどの携帯電子機器に内蔵され、画像などのデータを保存するメモリとして使用される。メモリカードMCの外形寸法は、一例として長辺が32mm、短辺が24mm、厚さが1.2mmである。

【0018】上記メモリカードMCのベース基板2上に実装された2枚のメモリチップ1A、1Aは、同一の外形寸法を有し、同一記憶容量のフラッシュメモリが形成されている。これらのメモリチップ1A、1Aは、一方の上部に他方を重ね合わせた状態でベース基板2上に実装されている。下層のメモリチップ1Aは、ベース基板

2の上面に接着剤などで接合されており、上層のメモリチップ1Aは、下層のメモリチップ1Aの上面に接着剤などで接合されている。一方、コントロールチップ1Bは、メモリチップ1A、1Aの近傍のベース基板2上に実装されており、同じく接着剤などによってベース基板2の上面に接合されている。これら3枚のチップ1A、1A、1Bは、いずれもその主面(素子形成面)を上に向けた状態でベース基板2上に実装されている。

【0019】フラッシュメモリが形成された2枚のメモリチップ1A、1Aのそれぞれの主面には、その一边に沿って複数のボンディングパッドBPが一行に形成されている。すなわち、メモリチップ1Aは、素子形成面の周辺部にボンディングパッドBPを形成し、かつこれらのボンディングパッドBPをその一边に沿って一行に配置する片辺パッド方式を採用している。一方、コントロールチップ1Bの主面には、例えば対向する2つの長辺に沿って複数のボンディングパッドBPが一行ずつ形成されている。

【0020】2枚のメモリチップ1A、1Aは、互いに同一方向を向いた状態で重ね合わされており、一方のメモリチップ1AのボンディングパッドBPと他方のメモリチップ1AのボンディングパッドBPとが近接して配置されている。また、上層のメモリチップ1Aは、その一部が下層のメモリチップ1AのボンディングパッドBPと重なることがないように、下層のメモリチップ1Aの一边に平行な方向(X方向)およびこれと直交する方向(Y方向)にずれた状態で積層されている。

【0021】上記チップ1A、1A、1Bの近傍のベース基板2上には複数の電極5が形成されており、それぞれのチップ1A、1A、1BのボンディングパッドBPと対応する電極5とがAu(金)のワイヤ6を介して電氣的に接続されている。チップ1A、1A、1BのボンディングパッドBPは、上記電極5および電極5に電氣的に接続されたベース基板2の配線(図示せず)を介して、ベース基板2の一主面の一端に形成された接続端子7Bおよび他端に形成されたテストパッド8に電氣的に接続されている。接続端子7Bは、このメモリカードMCを携帯電子機器に装着する際の接続端子として使用され、ベース基板2の下面の外部接続端子7Aにスルーホール11を介して電氣的に接続されている。また、テストパッド8は、このメモリカードMCの組立て工程などにおいて、電気特性を測定するために使用される。

【0022】図4(a)は、上記2枚のメモリチップ1A、1AのボンディングパッドBPとベース基板2の対応する電極5とをワイヤ6で接続した状態を簡略化して示す平面図、同図(b)は同じく断面図である。

【0023】前述したように、2段に積層されたメモリチップ1A、1Aのうち、上層のメモリチップ1Aは、下層のメモリチップ1Aの一边に平行なX方向およびこれと直交するY方向にずれた状態で積層される。そのた

め、2枚のメモリチップ1A、1Aの電氣的に共通なボンディングパッドBP（例えば上層のメモリチップ1AのボンディングパッドBP aおよび下層のメモリチップ1AのボンディングパッドBP b）とそれらに対応する電極5とを2本のワイヤ6（例えばワイヤ6 aおよびワイヤ6 b）で接続した場合、一方のボンディングパッドBP aに接続されるワイヤ6 aと他方のボンディングパッドBP bに接続されるワイヤ6 bとは、上方から見たときに重なり合うことがない。従って、この場合は、ワイヤボンディング工程完了後に行われる外観検査工程において、ベース基板2の上方からカメラなどを使って上下のワイヤ6同士のショートの有無など、ワイヤ6の接続状態を容易に判定することが可能となる。

【0024】これに対し、図5に示すように、上層のメモリチップ1Aを一方向（例えばX方向）にのみずらし重ね合わせた場合は、一方のボンディングパッドBP aに接続されるワイヤ6 aと他方のボンディングパッドBP bに接続されるワイヤ6 bとが上方から見たときにほとんど重なり合っているため、上下のワイヤ6同士のショートの有無などを判定することが困難になる。

【0025】また、上記図5に示すような積層方式においては、下層のメモリチップ1AのボンディングパッドBP bに接続されるワイヤ6 bが、上層のメモリチップ1AのボンディングパッドBP aに接続されるワイヤ6 aのほぼ真下に位置するため、ワイヤ6 aのループ高さを低くするとその真下のワイヤ6 bとの距離が接近し、両者がショートし易くなる。

【0026】これに対し、図4に示す本実施形態のチップ積層方式においては、同一の電極5に接続されるワイヤ6 aとワイヤ6 bとが水平方向にずれているため、ワイヤ6 aのループ高さを低くしてもその下方のワイヤ6 bとショートする虞れは少ない。すなわち、本実施形態のチップ積層方式を採用することにより、上層のメモリチップ1AのボンディングパッドBPに接続されるワイヤ6のループ高さを低くすることができるので、その分、チップ1A、1A、1Bおよびワイヤ6を封止する樹脂3の厚さを薄くすることができ、メモリカードMCの薄型化、軽量化を図ることができる。

【0027】上記のように構成された本実施形態のメモリカードMCを組み立てるには、まずベース基板2上に接着剤などを使って第1のメモリチップ1Aを実装し、続いてその上面に接着剤などを使って第2のメモリチップ1Aを積層する。このとき、第2のメモリチップ1Aは、第1のメモリチップ1Aに対してX方向およびY方向にずらして積層する。また、この作業と前後してベース基板2上の他の領域に、接着剤などを使ってコントロールチップ1Bを実装する。

【0028】次に、チップ1A、1A、1Bが実装された上記ベース基板2をワイヤボンディング装置のヒートステージに搭載し、ベース基板2の裏面を真空吸着など

によってヒートステージに固定した後、チップ1A、1A、1BのボンディングパッドBPと対応する電極5とを順次ワイヤ6で電氣的に接続する。ワイヤ6による接続方法としては、例えば熱圧着と超音波振動とを併用したワイヤボンディング方法を使用する。また、上層のメモリチップ1AのボンディングパッドBPと電極5とをワイヤ6で接続する際には、まず電極5の表面にワイヤ5の一端を接続（ファースト・ボンディング）し、次にボンディングパッドBPの表面にワイヤ5の他端を接続（セカンド・ボンディング）するリバース・ボンディング方式を採用することにより、上層のメモリチップ1AのボンディングパッドBPに接続されるワイヤ6のループ高さをより低くすることができる。

【0029】次に、外観検査によってワイヤ6の接続状態の良否を判定した後、チップ1A、1A、1Bおよびワイヤ6を樹脂3により封止する。封止方法は、ポッティング樹脂による封止またはモールド樹脂による封止のいずれでもよい。次に、ベース基板2の一端に形成されたテストパッド8にプローブを当てて電気特性検査を行った後、ベース基板2の上面を樹脂製のキャップ4で被覆することにより、前記図1～図3に示す本実施形態のメモリカードMCが完成する。

【0030】なお、メモリカードの部品点数を低減して製造コストを下げる対策として、ベース基板2の上面をキャップ4で被覆する手段に代え、例えば図6に示すように、ベース基板2の上面全体を樹脂3で封止してもよい。樹脂封止は個々での封止や多連基板の封止（モールド）一括による個片化ダイシングにての樹脂封止製作も可能である。

【0031】上記メモリカードMCは、ベース基板2上にコントロールチップ1Bを実装しているが、メモリチップ1Aに比べて外形寸法が小さいコントロールチップ1Bは、図7および図8に示すように、上層のメモリチップ1Aの上面に積層することもできる。

【0032】このようなチップ積層方式を採用した場合は、ベース基板2上におけるコントロールチップ1Bの実装領域が不要となる分、ベース基板2の外形寸法を小さくすることができるので、メモリカードMCの小型、軽量化を図ることができる。

【0033】また、このようなチップ積層方式を採用した場合は、チップ1A、1A、1Bが3段に積層されるため、チップ1A、1A、1Bおよびワイヤ6を封止する樹脂3が厚くなり、メモリカードMCの薄型化が阻害される。その対策として、チップ1A、1A、1Bの裏面を研磨してそれらの厚さを薄くすることにより、樹脂3の膜厚の増加を抑えることができる。

【0034】本実施形態のチップ積層方式は、BGA(Ball Grid Array)型のパッケージに適用することもできる。例えば図9および図10に示すBGAは、2段に積層したメモリチップ1A、1Aとコントロールチップ1

10

20

30

40

50

Bとが実装されたベース基板2の上面全体を樹脂3により封止し、ベース基板2の下面に半田などからなるバンプ電極10を接続したものである。また、図11および図12に示すBGAは、2段に積層したメモリチップ1A、1Aの上にさらにコントロールチップ1Bを積層したものである。

【0035】なお、本実施形態のチップ積層方式をBGAに適用する場合は、下層のメモリチップ1Aとベース基板2との間にベース基板2を構成する樹脂材料よりも弾性が高いエラストマーまたは多孔質樹脂などからなるシート材を介在させることにより、BGAを基板に実装したときにバンプ電極10に加わる熱ストレスを低減することができる。

【0036】（実施の形態2）図13は、本実施形態の半導体装置の断面図、図14は、この半導体装置のベース基板を示す平面図である。

【0037】本実施形態の半導体装置は、フラッシュメモリが形成された4枚のメモリチップ1A₁～1A₄と1枚のコントロールチップ1Bとをベース基板2上に実装し、これらのチップ1A₁～1A₄、1Bを樹脂3で封止すると共に、ベース基板2の上面を樹脂製のキャップ4で被覆したメモリカードMCである。

【0038】4枚のメモリチップ1A₁～1A₄は、同一の外形寸法を有し、同一記憶容量のフラッシュメモリが形成されている。また、これらのメモリチップ1A₁～1A₄は、素子形成面の周辺部にボンディングパッドBPを形成し、かつこれらのボンディングパッドBPをその一辺に沿って一列に配置する片辺パッド方式を採用している。

【0039】本実施形態では、上記4枚のメモリチップ1A₁～1A₄が4段に重ね合わされた状態でベース基板2上に実装されている。この場合、最下層のメモリチップ1A₁および下から3番目のメモリチップ1A₃に対して下から2番目および4番目のメモリチップ1A₂、1A₄はボンディングパッドBPが配置された一辺に平行なX方向およびこれと直交するY方向にずれた状態で積層される。メモリチップ1A₁～1A₄は、互いに同一方向を向いた状態で重ね合わされ、メモリチップ1A₁と1A₃、メモリチップ1A₂と1A₄はそれぞれ、上から見て互いにずれることなく重ね合わされている。また、下から2番目のメモリチップ1A₂および最上層のメモリチップ1A₄は、最下層のメモリチップ1A₁および下から3番目のメモリチップ1A₃とは、ボンディングパッドBPの位置が左右逆向きになるように重ね合わされる。

【0040】上記した本実施形態のチップ積層方式においては、最下層のメモリチップ1A₁および下から3番目のメモリチップ1A₃、下から2番目のメモリチップ1A₂および最上層のメモリチップ1A₄は、それぞれの電氣的に共通なボンディングパッドBPに接続される2

本のワイヤ6、6が水平方向にずれないが、間にメモリチップが存在するため、ワイヤループを気にすることなくワイヤボンディングできる。

【0041】従って、同じ側にボンディングされる上下のワイヤ6同士のショートの問題は少ないため、ワイヤボンディング工程完了後に行われる外観検査工程において、カメラなどを使ってワイヤ6の接続状態を容易に判定することができる。

【0042】図15および図16に示すように、本実施形態のチップ積層方式は、前記実施の形態1のチップ積層方式と同様、BGAなどの樹脂封止型パッケージに適用することもできる。また、前記実施形態1と同様に最上層のメモリチップ1A₁の上面に、それよりも外形寸法の小さいコントロールチップ1Bなどを積層してよいことは勿論である。

【0043】また、図17に示すように、2枚のメモリチップ1A、1Aおよびコントロールチップ1Bのそれぞれに共通するボンディングパッドBP（信号ピン）をベース基板2上の同じ電極5に接続してもよい。同図はメモリカードMCに適用した例であるが、BGA型のパッケージに適用できることは勿論である。

【0044】以上、本発明者によってなされた発明を前記実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0045】前記実施の形態では、フラッシュメモリが形成されたチップを積層する場合について説明したが、これに限定されるものではなく、例えば外形寸法が異なる複数枚のチップや異種のメモリが形成された複数枚のチップを積層する場合などにも適用することができる。

【0046】また、前記実施の形態では、2枚または4枚のメモリチップを積層する場合について説明したが、これに限定されるものではなく、3枚または5枚以上のチップを積層する場合にも適用することができる。

【0047】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0048】本発明によれば、複数枚の半導体チップを積層して樹脂封止した半導体装置において、下層の半導体チップのボンディングパッドに接続されたワイヤと上層の半導体チップのボンディングパッドに接続されたワイヤとがショートする不良を低減することができる。

【0049】本発明によれば、複数枚の半導体チップを積層して樹脂封止した半導体装置において、ワイヤボンディング工程の後に行う外観検査の信頼性を向上させることができる。

【0050】本発明によれば、複数枚の半導体チップを積層して樹脂封止した半導体装置の小型化、薄型化を推

進することができる。

【0051】本発明によれば、複数枚の半導体チップの積層化が容易になるので、小型、薄型で大容量のメモリパッケージを実現することができる。

【0052】本発明によれば、複数枚の半導体チップを積層して樹脂封止した半導体装置において、半導体チップと基板との電気的な接続をワイヤボンディング方式によって行うので、半導体装置の製造コストを低減することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態である半導体装置の外観を示す平面図である。

【図2】図1のA-A線に沿った断面図である。

【図3】図1に示す半導体装置のベース基板を示す平面図である。

【図4】(a)は、本発明のチップ積層方式によって2枚のメモリチップのボンディングパッドとベース基板の対応する電極とをワイヤで接続した状態を簡略化して示す平面図、(b)は同じく断面図である。

【図5】(a)は、他の方式によって2枚のメモリチップのボンディングパッドとベース基板の対応する電極とをワイヤで接続した状態を簡略化して示す平面図、(b)は同じく断面図である。

【図6】本発明の他の実施の形態である半導体装置を示す断面図である。

【図7】本発明の他の実施の形態である半導体装置を示す断面図である。

【図8】図7に示す半導体装置のベース基板を示す平面図である。

【図9】本発明の他の実施の形態である半導体装置を示す断面図である。

【図10】図9に示す半導体装置のベース基板を示す平面図である。

【図11】本発明の他の実施の形態である半導体装置を示す断面図である。

【図12】図11に示す半導体装置のベース基板を示す平面図である。

【図13】本発明の他の実施の形態である半導体装置を示す断面図である。

【図14】図14に示す半導体装置のベース基板を示す平面図である。

【図15】本発明の他の実施の形態である半導体装置を示す断面図である。

【図16】図15に示す半導体装置のベース基板を示す平面図である。

【図17】本発明の他の実施の形態である半導体装置のベース基板を示す平面図である。

【符号の説明】

1 A 半導体チップ (メモリチップ)

1 B 半導体チップ (コントロールチップ)

2 ベース基板

3 樹脂

4 キャップ

5 電極

6、6 a、6 b ワイヤ

7 外部接続端子

8 テストパッド

10 バンプ電極

11 スルーホール

B P、B P a、B P b ボンディングパッド

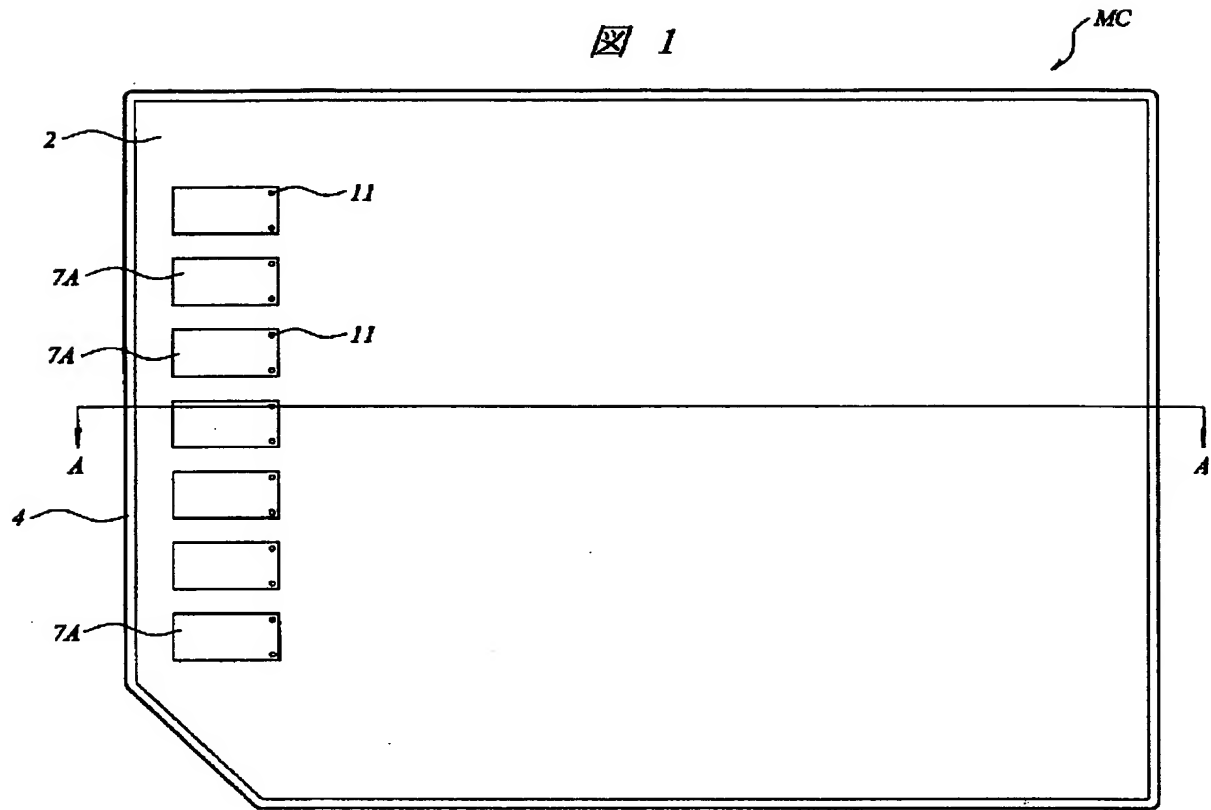
M C メモリカード

10

20

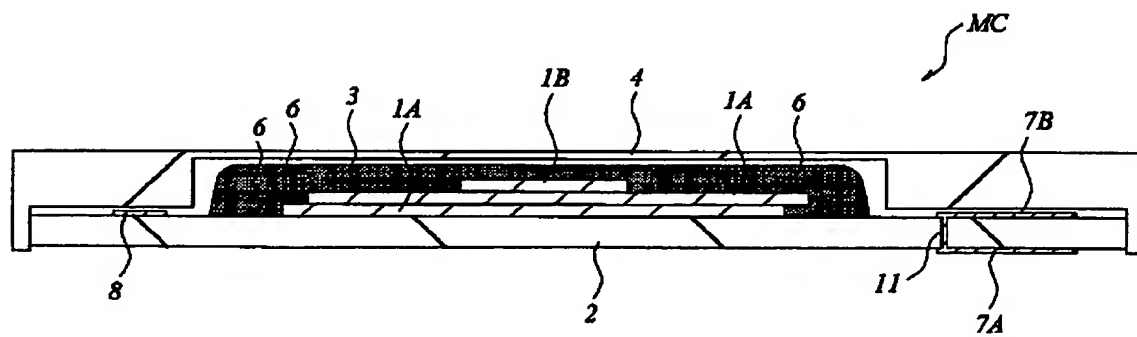
30

【図1】



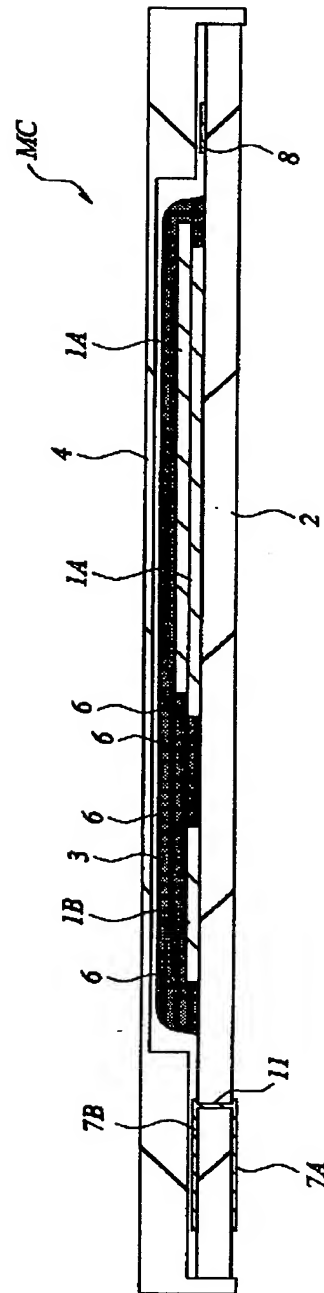
【図7】

図 7

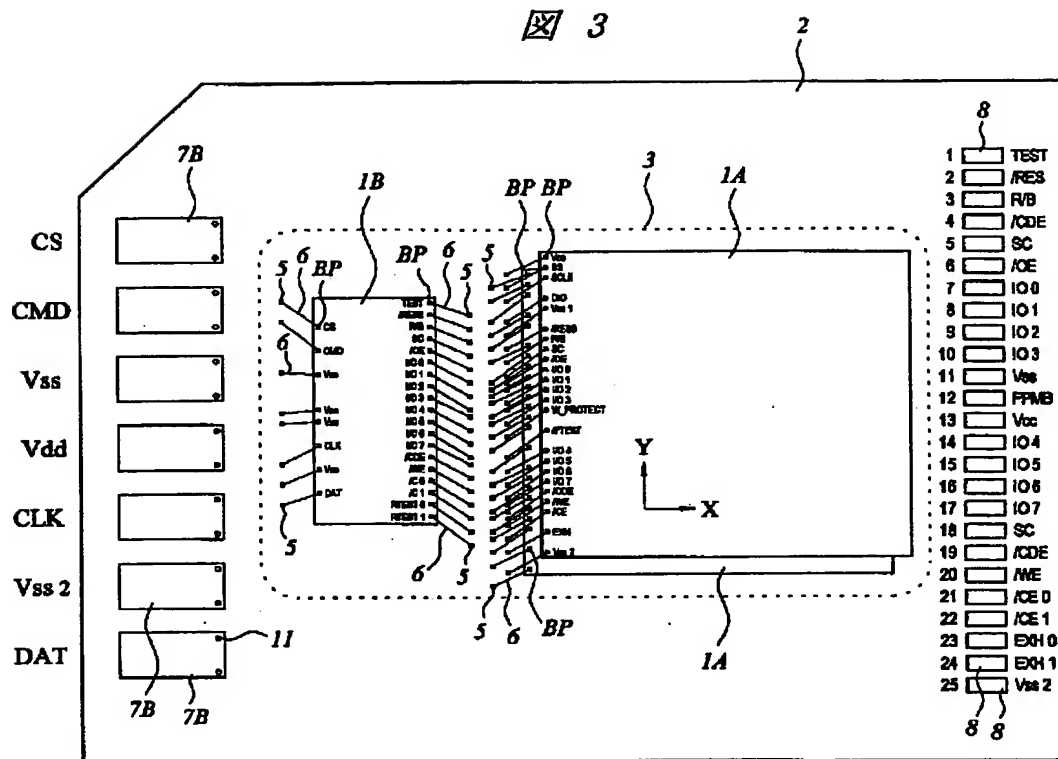


【図2】

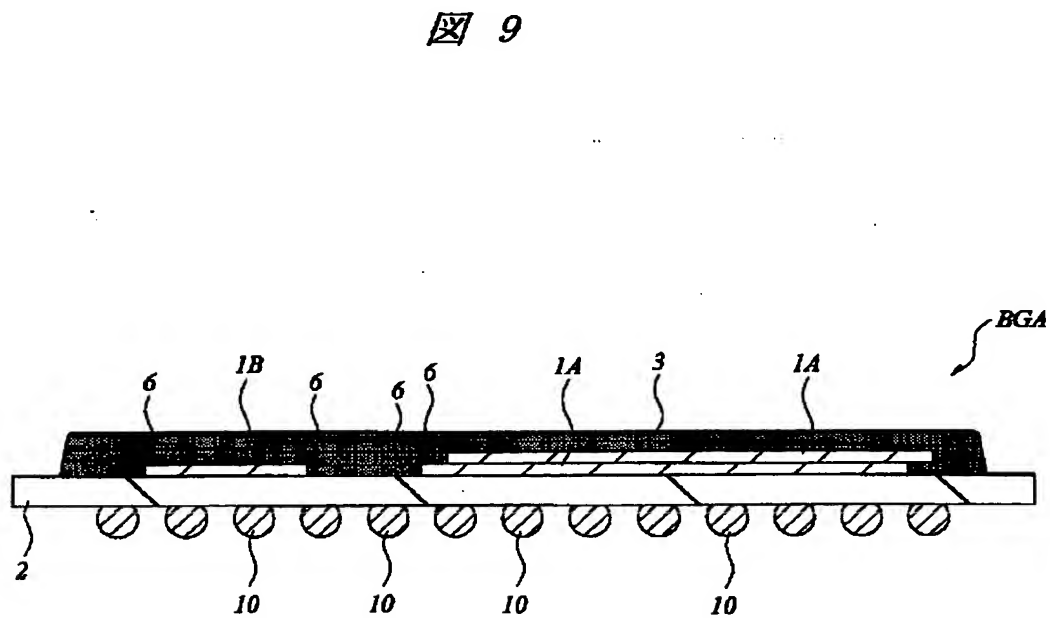
図 2



【図 3】



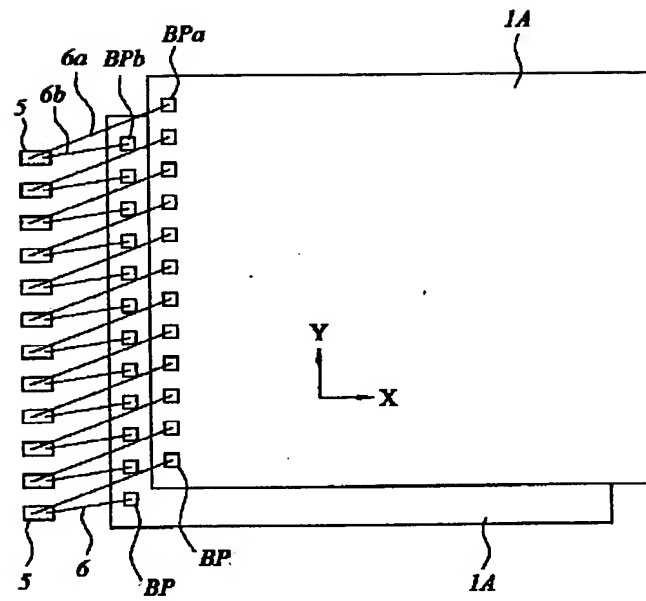
【図 9】



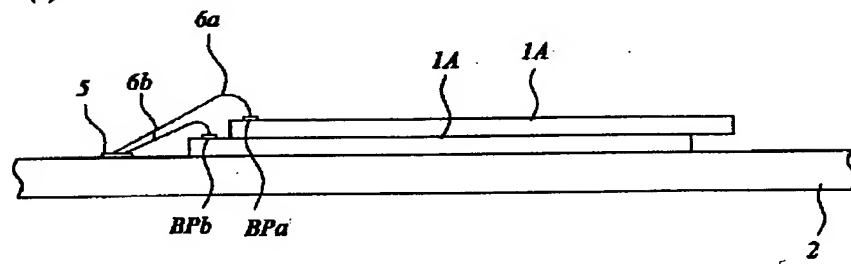
【図 4】

图 4

(a)



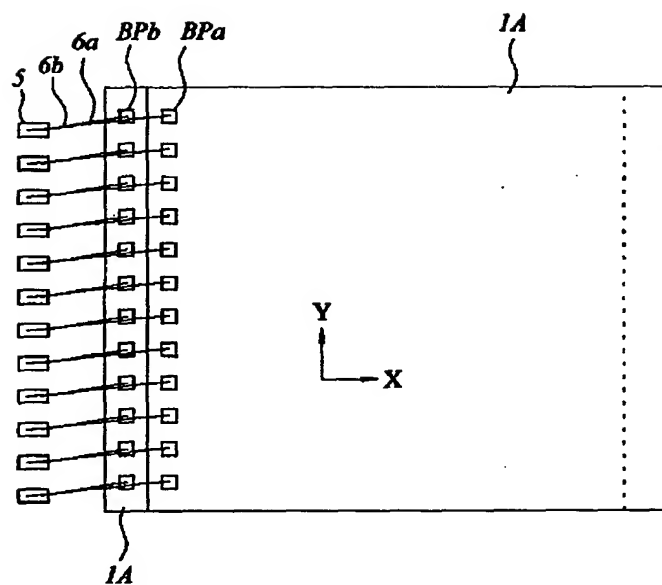
(b)



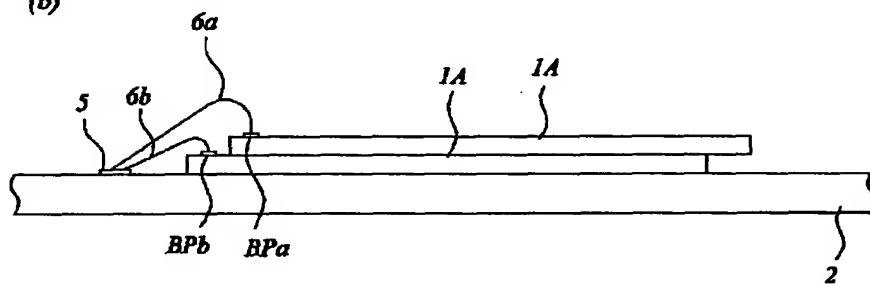
【図5】

図 5

(a)



(b)



【図6】

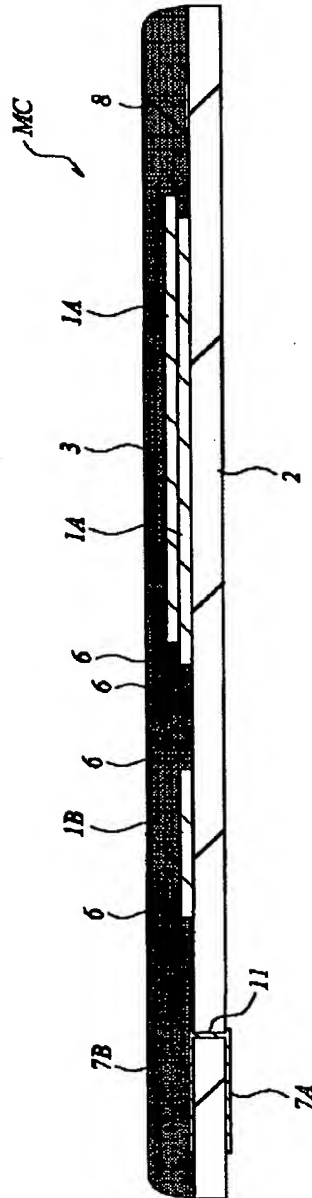


図 6

图 10

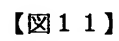
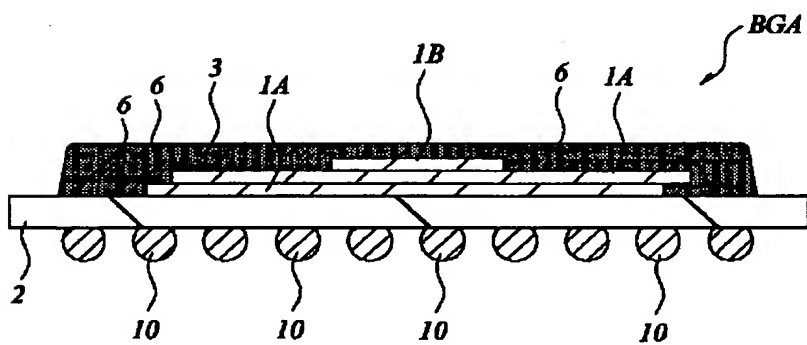
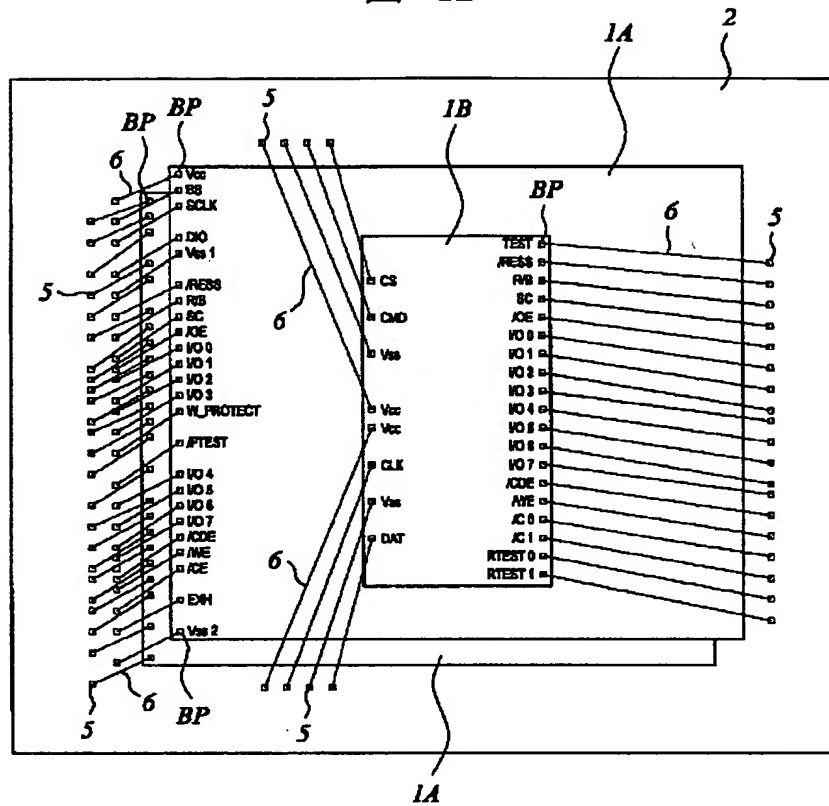


図 11



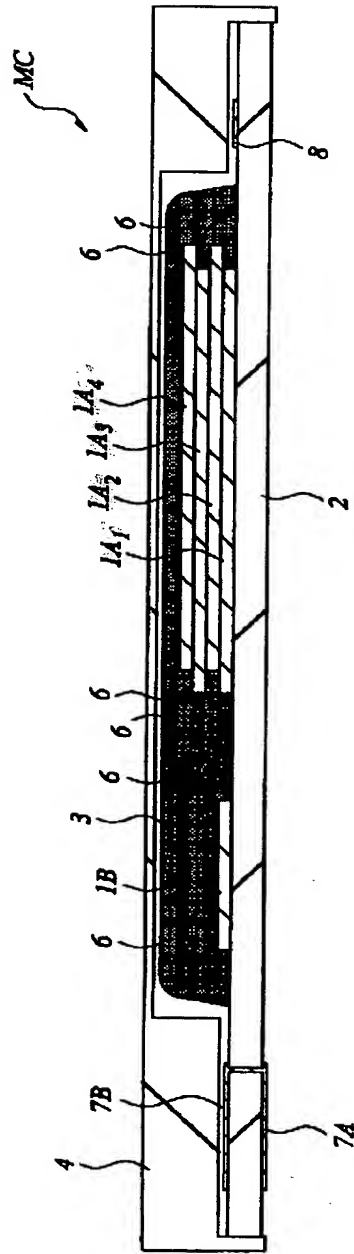
【図12】

図 12



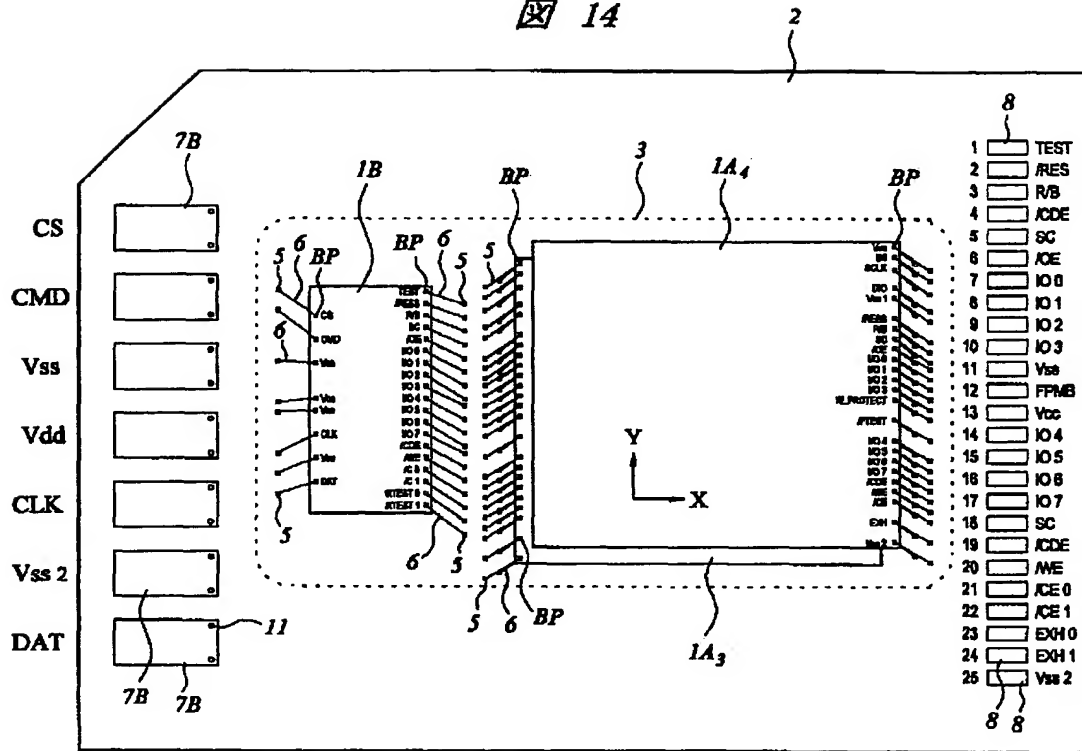
【図 13】

図 13



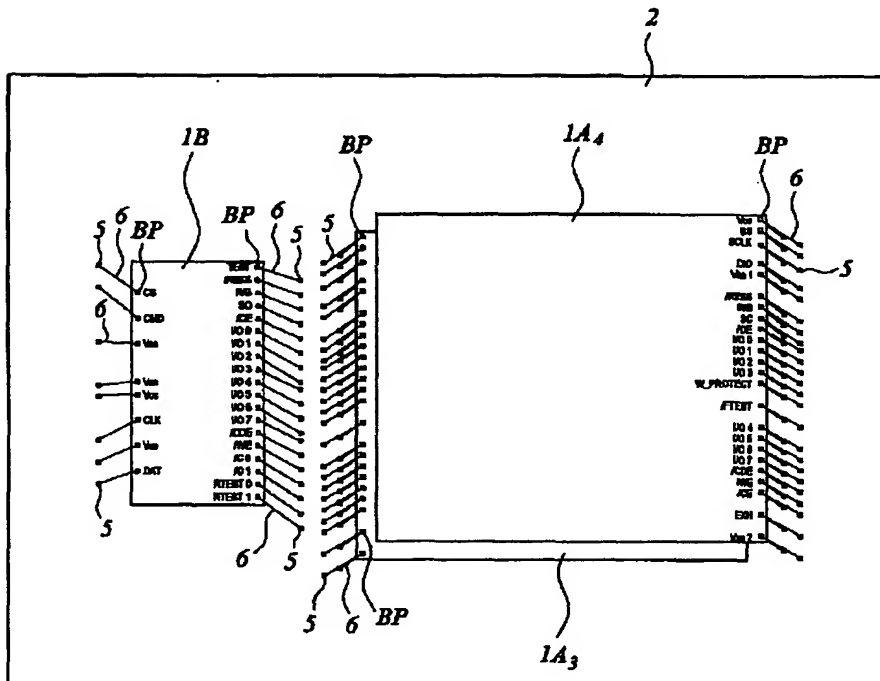
【図 14】

図 14



【図 16】

図 16



【図15】

図 15

